



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0085921
Application Number

출원년월일 : 2002년 12월 28일
Date of Application DEC 28, 2002

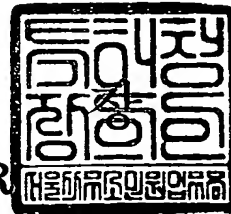
출원인 : 동부전자 주식회사
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 년 10 월 04 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0006
【제출일자】	2002. 12. 28
【발명의 명칭】	반도체 소자의 제조 방법
【발명의 영문명칭】	Method For Manufacturing Semiconductor Devices
【출원인】	
【명칭】	동부전자 주식회사
【출원인코드】	1-1998-106725-7
【대리인】	
【성명】	김영철
【대리인코드】	9-1998-000040-3
【포괄위임등록번호】	2001-037703-7
【대리인】	
【성명】	김순영
【대리인코드】	9-1998-000131-1
【포괄위임등록번호】	2001-037700-5
【대리인】	
【성명】	이준서
【대리인코드】	9-1998-000463-0
【포괄위임등록번호】	2001-037697-8
【발명자】	
【성명의 국문표기】	김인수
【성명의 영문표기】	KIM, In-Su
【주민등록번호】	651012-1800914
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 955-1 황골마을 주공1단지 150-703
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 김영철 (인) 대리인 김순영 (인) 대리인 이준서 (인)

【수수료】

【기본출원료】	16	면	29,000	원
【가산출원료】	0	면	0	원
【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】	29,000	원		
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】

【요약】

본 발명은 반도체 소자의 제조 방법을 개시한다. 이에 의하면, 반도체 기판 상에 다층 절연막을 적층시키고, 상기 반도체 기판의 필드 영역에 상기 다층 절연막의 개구부를 형성시키고, 상기 개구부 내의 노출된 반도체 기판을 식각시킨다. 따라서, 상기 반도체 기판의 필드 영역에 트렌치가 형성된다. 그런 다음, 상기 다층 절연막의 중간층을 풀백(pull back) 공정에 의해 횡방향으로 식각시킴으로써 상기 트렌치를 매립한 산화막에 디벗이 발생하는 것을 방지하기 위한 홈을 형성시킨다. 이어서, 원자층 적층 공정을 이용하여 상기 홈을 비롯한 상기 반도체 기판의 표면에 산화막을 원하는 두께만큼 적층시킨다. 그런 다음, 상기 트렌치를 깎 필링용 산화막으로 매립시킨다.

따라서, 본 발명은 상기 트렌치를 매립한 산화막에 디벗을 발생시키지 않으면서도 보이드의 생성을 방지할 수 있다. 그 결과, 상기 트렌치를 매립한 산화막의 전기적 특성을 향상시킬 수 있고 나아가 반도체 소자의 전기적 특성을 향상시킬 수가 있다.

【대표도】

도 7

【명세서】**【발명의 명칭】**

반도체 소자의 제조 방법{Method For Manufacturing Semiconductor Devices}

【도면의 간단한 설명】

도 1 내지 도 3은 종래 기술에 의한 샬로우 트렌치 아이솔레이션(Shallow Trench Isolation) 공정의 순서를 나타낸 단면 공정도.

도 4 내지 도 7은 본 발명에 의한 반도체 소자의 제조 방법에 적용된 샬로우 트렌치 아이솔레이션 공정의 순서를 나타낸 단면 공정도.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<3> 본 발명은 반도체 소자의 제조 방법에 관한 것으로, 더욱 상세하게는 트렌치 내의 산화막에 디벗(divot)과 함께 보이드(void)가 발생하는 것을 방지시킴으로써 반도체 소자의 전기적 특성을 향상시키도록 한 반도체 소자의 제조 방법에 관한 것이다.

<4> 일반적으로, 반도체 소자의 아이솔레이션(Isolation) 기술로는 질화막을 이용한 LOCOS(Local Oxidation of Silicon) 기술이 사용되어 왔다. LOCOS 기술의 단점을 보완하기 위한 새로운 아이솔레이션 기술들이 활발하게 개발되어 왔고 그 중에서 PBL(Poly Buffer LOCOS), R-LOCOS(Recessed LOCOS) 등의 기술이 널리 사용되어 왔다. 이들 기술들은 공정이 복잡하고 실

리콘 산화막에 의한 채널 영역의 잠식시키는 새 부리(Bird's Beak) 현상이 발생하는 것을 근본적으로 방지할 수 없으므로 반도체 소자의 고집적화에 한계가 있다. 더욱이, 액티브 영역의 실리콘 기판의 표면과 필드 영역의 산화막의 표면과의 단차가 심하게 발생하므로 이들 영역의 표면 단차를 줄여주기 위해 후속으로 평탄화 공정이 진행되어야 필요가 있다.

<5> 최근에 들어, 이를 개선한 섬로우 트렌치 아이솔레이션(Shallow Trench Isolation: STI) 공정이 도입되기 시작하였다. 상기 섬로우 트렌치 아이솔레이션 공정은 종래의 아이솔레이션 기술에 비하여 소자 분리 특성이 우수하고 점유 면적도 작기 때문에 반도체 소자의 고집적화에 매우 유리하다.

<6> 상기 섬로우 트렌치 아이솔레이션 공정은 반도체 기판의 필드 영역에 트렌치를 형성하고 갭 필링(Gap Filling) 공정에 의해 상기 트렌치 내에 산화막을 갭 필링(gap filling)시킨 후 상기 산화막을 화학기계연마(Chemical Mechanical Polishing: CMP)공정으로 연마하여 트렌치 내의 산화막과 반도체 기판을 평탄화시킨다. 따라서, 반도체 기판의 필드 영역에 필드산화막이 형성된다.

<7> 상기 트렌치를 갭 필링하는 산화막으로는 갭 필링 특성과 평탄화 특성이 양호한 O_3 -TEOS(Tetra-Ethyl-Ortho-Silicate) 상압 화학기상증착(Atmospheric Pressure Chemical Vapor Deposition: APCVD) 산화막, 고밀도 플라즈마 화학기상증착(High Density Plasma Chemical Vapor Deposition: HDP CVD) 산화막이 주로 사용되고 있다.

<8> 그런데, 종래에는 상기 섬로우 트렌치 아이솔레이션 공정을 완료하고 나면, 상기 트렌치의 상측 모서리 부분에서 산화막의 디벗(divot)이 발생하기 쉽다. 더욱이, 상기 상측 모서리 부분이 통상적으로 각이 진 형태를 가지므로 상기 상측 모서리 부분에 이웃한 액티브 영역의 에지 부분에서 상기 액티브 영역의 다른 부분에 비하여 게이트 산화막이 얇게 성장한다. 이로

써, 상기 액티브 영역의 에지 부분에서 전계가 집중되므로 반도체 소자의 누설 전류가 증가하는, 전기적 특성의 악화가 불가피하다.

- <9> 최근에는 이러한 점을 고려하여 상기 트렌치의 상측 모서리를 라운딩(rounding) 형태로 만들어줌으로써 상기 액티브 영역의 에지 부분에서의 전기적 특성을 향상시키려는 방법을 사용하고 있다. 이때, 상기 트렌치를 형성하기 위한 식각 마스크층의 중간층인 질화막을 횡방향으로 습식 식각시키는 풀백(pull back) 공정이 사용된다.
- <10> 이러한 풀백 공정을 이용한 종래의 셀로우 트렌치 아이솔레이션 공정은 도 1에 도시된 바와 같이, 먼저, 단결정 실리콘 기판과 같은 반도체 기판(10)의 일면, 예를 들어 전면(前面)의 전역에 산화막(11)과 질화막(13) 및 산화막(15)의 다층 절연막을 순차적으로 적층시킨다. 이때, 상기 산화막(11)의 두께가 25~200 Å이고, 상기 질화막(13)의 두께가 1000~2000 Å이다. 상기 산화막(15)은 TEOS 산화막이다. 그런 다음, 사진식각공정을 이용하여 상기 반도체 기판(10)의 필드 영역 상에 산화막(11)과 질화막(13) 및 산화막(15)의 공통 개구부(16)를 형성시킨다.
- <11> 이어서, 상기 산화막(15)을 식각 마스크층으로 이용하여 상기 반도체 기판(10)의 필드 영역을 3000~4000 Å의 깊이만큼 식각시킴으로써 상기 반도체 기판(10)의 필드 영역에 트렌치(17)를 형성시킨다.
- <12> 그런 다음, 도 2에 도시된 바와 같이, 풀백공정을 이용하여 상기 질화막(13)을 상기 개구부(16)로부터 200~300 Å의 거리(D)만큼 인산 용액으로 식각시킨다. 따라서, 상기 산화막(11)과 상기 산화막(15) 사이에 홈(18)이 형성된다. 이는 상기 홈(18)을 도 3의 갭 필링용 산화막(19)으로 채우게 함으로써 후속의 산화막 습식 식각공정을 진행할 때 도 3의 갭 필링용 산화막(19)에 디벗이 발생하는 것을 방지하기 위함이다.

- <13> 이후, 도 3에 도시된 바와 같이, 일반적인 저압 화학기상증착공정, 03-TEOS 화학기상증착공정 또는 고밀도 화학기상증착공정을 이용하여 산화막(19)을 상기 트렌치(17)의 매립에 필요한 두께, 예를 들어 5000~6000 Å의 두께로 적층시킨다.
- <14> 이후, 도면에 도시하지 않았으나 통상적인 화학기계연마공정을 이용하여 상기 산화막(19)을 평탄화시키고 상기 산화막(15)과 상기 질화막(13) 및 상기 산화막(11)을 모두 식각시킴으로써 상기 반도체 기판(10)의 액티브 영역의 표면을 노출시킴으로서 셀로우 트렌치 아이솔레이션 공정을 완료한다.

【발명이 이루고자 하는 기술적 과제】

- <15> 그러나, 이러한 방법은 상기 트렌치(17)에 산화막(19)을 매립시킬 경우, 상기 트렌치(17)의 종횡비(aspect ratio)가 크면 상기 트렌치(17) 내의 산화막(19)에 빈 공간인 보이드(void)(도시 안됨)가 발생하기 쉽다. 이는 반도체 소자의 결함을 가져오고 나아가 반도체 소자의 전기적 특성이 악화된다.
- <16> 따라서, 본 발명의 목적은 트렌치 내의 산화막에서 디벗이 생성되는 것을 억제하면서도 보이드의 생성을 방지하도록 하는데 있다.
- <17> 따라서, 본 발명의 목적은 트렌치에서의 누설 전류를 저감시킴으로써 반도체 소자의 전기적 특성을 향상시키는데 있다.

【발명의 구성 및 작용】

- <18> 이와 같은 목적을 달성하기 위한 본 발명에 의한 반도체 소자의 제조 방법은

- <19> 반도체 기판의 일면 상에 다층 절연막을 형성시키는 단계; 상기 반도체 기판의 필드 영역을 노출시키는 상기 다층 절연막의 개구부를 형성시키는 단계; 상기 반도체 기판의 필드 영역을 식각시킴으로써 트렌치를 형성시키는 단계; 상기 다층 절연막의 중간층을 횡방향으로 습식 식각시킴으로써 홈을 형성시키는 단계; 및 상기 홈과 상기 트렌치 내에 산화막을 원자층 적층 공정에 의해 원하는 두께로 적층시킨 후 상기 트렌치에 캡 필링용 산화막을 매립시키는 단계를 포함하는 것을 특징으로 한다.
- <20> 바람직하게는, 상기 산화막을 100~300Å의 두께로 적층시킬 수가 있다.
- <21> 바람직하게는, 상기 산화막을 250~350℃의 온도에서 적층시킬 수가 있다.
- <22> 바람직하게는, 상기 다층 절연막의 최상층과 최하층을 산화막으로 형성하고 상기 다층 절연막의 중간층을 질화막으로 형성할 수 있다.
- <23> 이하, 본 발명에 의한 반도체 소자의 제조 방법을 첨부된 도면을 참조하여 상세히 설명하기로 한다. 종래의 부분과 동일 구성 및 동일 작용의 부분에는 동일 부호를 부여한다.
- <24> 도 4를 참조하면, 먼저, 단결정 실리콘 기판과 같은 반도체 기판(10)의 일면, 예를 들어 전면(前面)의 전역에 산화막(11)과 질화막(13) 및 산화막(15)의 다층 절연막을 순차적으로 적층시킨다. 이때, 상기 산화막(11)의 두께가 25~200Å이고, 상기 질화막(13)의 두께가 1000~2000Å이다. 상기 산화막(15)은 TEOS 산화막이다. 그런 다음, 사진식각공정을 이용하여 상기 반도체 기판(10)의 필드 영역 상에 산화막(11)과 질화막(13) 및 산화막(15)의 공통 개구부(16)를 형성시킨다.

- <25> 이어서, 상기 산화막(15)을 식각 마스크층으로 이용하여 상기 반도체 기판(10)의 필드 영역을 3000~4000Å의 깊이만큼 식각시킴으로써 상기 반도체 기판(10)의 필드 영역에 트렌치(17)를 형성시킨다.
- <26> 도 5를 참조하면, 이어서, 풀백공정을 이용하여 상기 질화막(13)을 상기 개구부(16)로부터 200~300Å의 거리(D)만큼 인산 용액으로 식각시킨다. 따라서, 상기 산화막(11)과 상기 산화막(15) 사이에 홈(18)이 형성된다. 이는 상기 홈(18)을 도 7의 갭 필링용 산화막(23)으로 채우게 함으로써 후속의 산화막 습식 식각공정을 진행할 때 도 7의 갭 필링용 산화막(23)에 디벗이 발생하는 것을 방지하기 위함이다.
- <27> 도 6을 참조하면, 이후, 원자층 적층(atomic layer deposition: ALD) 공정을 이용하여 상기 트렌치(17)의 식각면과 상기 홈(18)에 산화막(21)을 100~300Å의 두께로 적층시킨다. 이는 도 7의 산화막(23)이 상기 홈(18)을 완전히 채우지 못하고 보이드를 형성시키는 것을 예방하기 위함이다.
- <28> 상기 원자층 적층 공정에 의한 상기 산화막(21)의 적층을 살펴보면, 원자층 적층 공정을 위한 진공 용기에 도 5에 도시된 상태의 반도체 기판(10)을 설치한다. 이후, 상기 진공 용기에 SiH_4 가스를 유입시킴으로써 상기 SiH_4 가스를 상기 반도체 기판(10)의 노출된 부분의 바탕 물질과 화학 흡착을 일으키게 만든다. 그런 다음, 상기 진공 용기에 퍼징(purging) 가스, 예를 들어 질소(N_2) 가스를 유입시킴으로써 상기 진공 용기 내에 잔존하고 있을 수 있는 SiH_4 가스를 완전히 배출시킨다. 이어서, 상기 진공 용기에 산소(O_2) 가스를 유입시킴으로써 상기 산소(O_2) 가스를 이미 화학 흡착을 일으킨 막과 다시 한번 화학 흡착을 일으키게 만든다. 따라서, 산화막(21)이 적층된다. 이후, 상기 진공 용기에 퍼징(purging) 가스, 예를 들어 질소(N



2) 가스를 유입시킴으로써 상기 진공 용기 내에 잔존하고 있을 수 있는 산소(O_2) 가스를 완전히 배출시킨다. 이와 같은 과정을 반복 진행함으로써 상기 산화막(21)을 원하는 두께, 예를 들어 100~300Å의 두께로 적층시킬 수가 있다. 상기 원자층 적층 공정은 화학적인 반응에 의해 산화막(21)을 적층시키므로 상기 산화막(21)을 저온에서 적층시킬 수가 있다. 상기 산화막(21)의 적층율은 적층 온도에 따라 적층율이 달라지므로 상기 산화막(21)의 적층을 250~350℃에서 진행하는 것이 바람직하다.

<29> 도 7을 참조하면, 일반적인 저압 화학기상증착공정, 03-TEOS 화학기상증착공정 또는 고밀도 화학기상증착공정을 이용하여 산화막(23)을 상기 트렌치(17)의 매립에 필요한 두께, 예를 들어 5000~6000Å의 두께로 적층시킨다.

<30> 이후, 도면에 도시하지 않았으나 통상적인 화학기계연마공정을 이용하여 상기 산화막(19)을 평탄화시키고 상기 산화막(15)과 상기 질화막(13) 및 상기 산화막(11)을 모두 식각시킴으로써 상기 반도체 기판(10)의 액티브 영역의 표면을 노출시킴으로서 셀로우 트렌치 아이솔레이션 공정을 완료한다.

<31> 따라서, 본 발명은 상기 원자층 적층 공정을 이용하여 상기 산화막(21)을 상기 홈(18)에 적층시킨 다음 상기 산화막(23)을 상기 트렌치(17)에 매립시키므로 산화막에 보이드가 생성되는 불량 현상을 방지할 수 있다.

<32> 따라서, 본 발명은 상기 트렌치를 매립시키는 산화막의 전기적 특성을 향상시키고 나아가 반도체 소자의 전기적 특성을 향상시킬 수 있다.



【발명의 효과】

- <33> 이상에서 상세히 설명한 바와 같이, 본 발명에 의한 반도체 소자의 제조 방법은 반도체 기판 상에 다층 절연막을 적층시키고, 상기 반도체 기판의 필드 영역에 상기 다층 절연막의 개구부를 형성시키고, 상기 개구부 내의 노출된 반도체 기판을 식각시킨다. 따라서, 상기 반도체 기판의 필드 영역에 트렌치가 형성된다. 그런 다음, 상기 다층 절연막의 중간층을 풀백(pull back) 공정에 의해 횡방향으로 식각시킴으로써 상기 트렌치를 매립한 산화막에 디벗이 발생하는 것을 방지하기 위한 홈을 형성시킨다. 이어서, 원자층 적층 공정을 이용하여 상기 홈을 비롯한 상기 반도체 기판의 표면에 산화막을 원하는 두께만큼 적층시킨다. 그런 다음, 상기 트렌치를 깎 필링용 산화막으로 매립시킨다.
- <34> 따라서, 본 발명은 상기 트렌치를 매립한 산화막에 디벗을 발생시키지 않으면서도 보이드의 생성을 방지할 수 있다. 그 결과, 상기 트렌치를 매립한 산화막의 전기적 특성을 향상시킬 수 있고 나아가 반도체 소자의 전기적 특성을 향상시킬 수가 있다.
- <35> 한편, 본 발명은 도시된 도면과 상세한 설명에 기술된 내용에 한정하지 않으며 본 발명의 사상을 벗어나지 않는 범위 내에서 다양한 형태의 변형도 가능함은 이 분야에 통상의 지식을 가진 자에게는 자명한 사실이다.



【특허청구범위】

【청구항 1】

반도체 기판의 일면 상에 다층 절연막을 형성시키는 단계;

상기 반도체 기판의 필드 영역을 노출시키는 상기 다층 절연막의 개구부를 형성시키는 단계;

상기 반도체 기판의 필드 영역을 식각시킴으로써 트렌치를 형성시키는 단계;

상기 다층 절연막의 중간층을 횡방향으로 습식 식각시킴으로써 홈을 형성시키는 단계;
및

상기 홈과 상기 트렌치 내에 산화막을 원자층 적층 공정에 의해 원하는 두께로 적층시킨 후 상기 트렌치에 갭 필링용 산화막을 매립시키는 단계를 포함하는 반도체 소자의 제조 방법.

【청구항 2】

제 1 항에 있어서, 상기 산화막을 100~300Å의 두께로 적층시키는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 3】

제 2 항에 있어서, 상기 산화막을 250~350℃의 온도에서 적층시키는 것을 특징으로 하는 반도체 소자의 제조 방법.



【청구항 4】

제 1 항에 있어서, 상기 다층 절연막의 최상층과 최하층을 산화막으로 형성하고 상기 다층 절연막의 중간층을 질화막으로 형성한 것을 특징으로 하는 반도체 소자의 제조 방법.

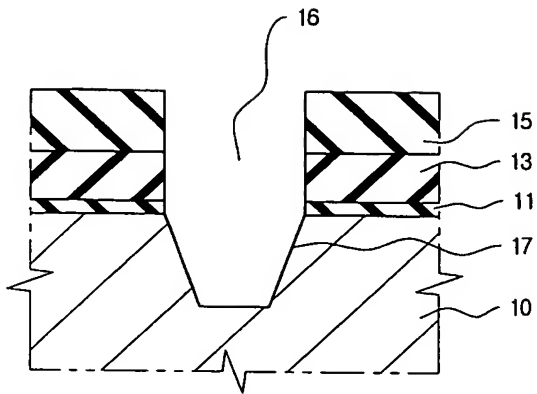


1020020085921

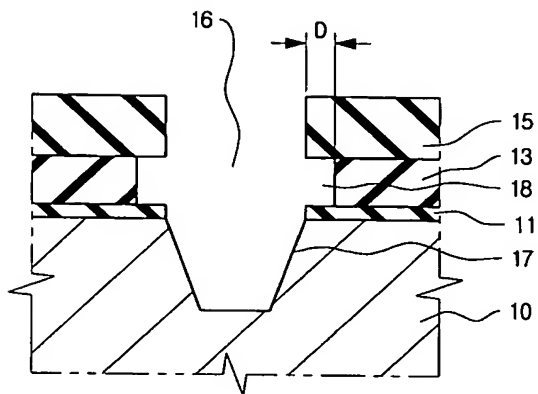
출력 일자: 2003/10/13

【도면】

【도 1】



【도 2】

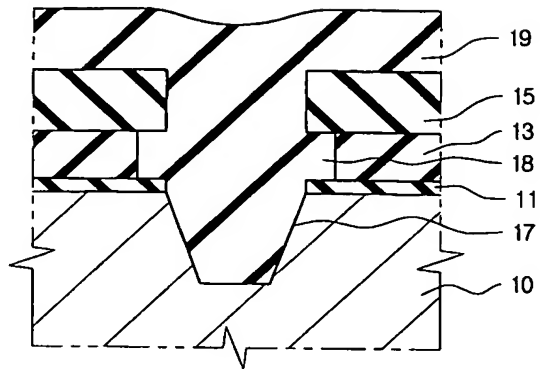




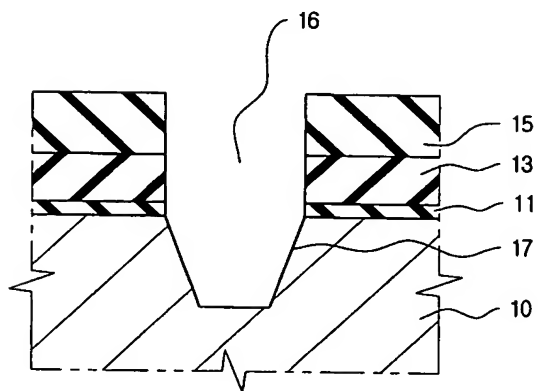
1020020085921

출력 일자: 2003/10/13

【도 3】

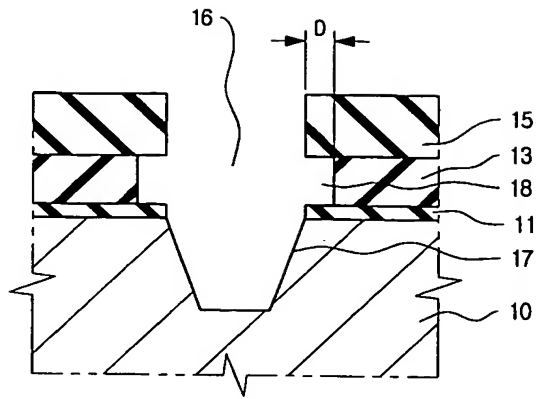


【도 4】

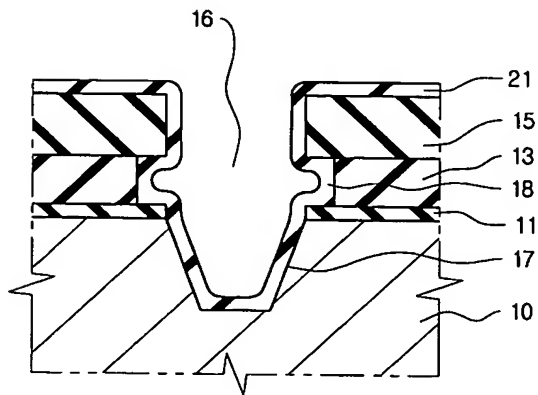




【도 5】



【도 6】





1020020085921

출력 일자: 2003/10/13

【도 7】

